

CA-IS2092A 内置 DC-DC 转换器的隔离式 RS-485 收发器

1. 产品特性

- 兼容RS-485 EIA/TIA-485标准并提供更高的性能指标
 - 数据速率最高 0.5Mbps
 - 1/8单位负载，支持多达256个总线节点
 - 3V至5.5V逻辑侧DC-DC供电范围（VDDP）
 - 2.5V至5.5V逻辑侧RS-485供电范围（VDDL）
- 集成 DC-DC 转换器为总线侧供电
 - 3.3V/5.0V 输出电压可选
 - 高度集成：内置变压器
 - 软启动抑制输入浪涌电流
 - 集成过载和短路保护
 - 内置热保护功能
- 高共模瞬态抗扰度：±150kV/μs（典型值）
- 总线 I/O ESD 保护
 - ±8kV HBM ESD
- 带有限流驱动器和热关断功能
- 开路、短路和空闲总线失效保护
- 工作温度范围：-40°C至125°C
- LGA16 小型封装
- 安全认证（申请中）：
 - 符合 DIN V VDE V 0884-11:2017-01 标准的 3535V_{PK} V_{IOTM} 和 566V_{PK} V_{IORM} 隔离
 - UL 1577 认证：2.5kV_{RMS} @1 分钟

2. 典型应用

- 储能
- 工业自动化
- 光伏逆变器
- 电机驱动

3. 概述

CA-IS2092A 为隔离式半双工 RS-485 收发器，内部集成隔离式 DC-DC 转换器，省去了外部隔离电源。该产品提供较高的电气隔离并具有优异的性能，以满足工业应用的需求。器件内部的逻辑输入与输出缓冲器之间通过二氧化硅（SiO₂）绝缘栅隔离，能够承受高达 2.5kV_{RMS}（1分钟）的隔离电压以及±150kV/μs 的典型 CMTI。绝缘栅阻断了逻辑侧与总线侧的地环路，有助于降低端口间地电势差较高的噪声，确保数据的正确传输。

CA-IS2092A 产品用于支持多节点数据通信，总线侧引脚具有±8kV HBM ESD 保护。接收器输入阻抗为 1/8 单位负载，允许同一总线上挂接 256 个收发器。CA-IS2092A 为半双工收发器，可通过器件的接收使能与发送使能引脚控制收发状态，支持最高 0.5Mbps 的通信速率。CA-IS2092A 将逻辑侧 DC-DC 供电和 RS-485 收发器供电分开，便于逻辑侧与低压控制电路的信号交互。

CA-IS2092A 采用 LGA16 小型化封装，能够显著节省 PCB 布板空间，支持从-40°C 到 125°C 的工业扩展温度范围。

器件信息

器件型号	封装	封装尺寸（标称值）
CA-IS2092A	LGA16	5.2mm x 4.65mm

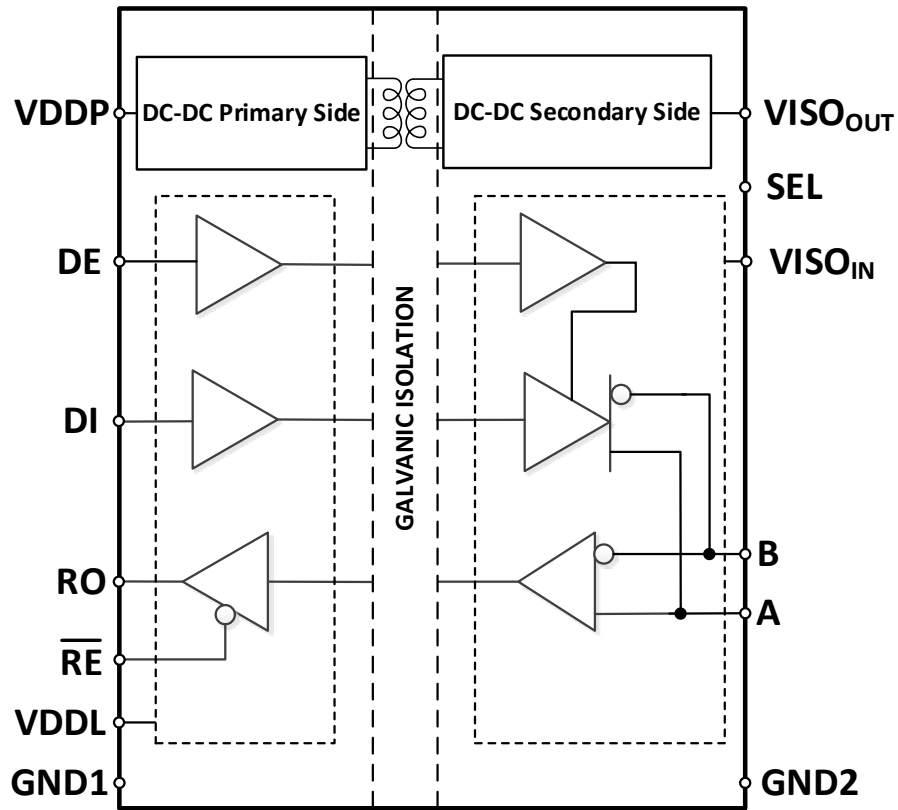


图 3-1 简化功能框图

4. 订购指南

表 4-1 有效订购器件型号

型号	通讯模式	通讯速率 (Mbps)	隔离电源输出电压 (V)	封装
CA-IS2092A	半双工	0.5	3.3/5.0	LGA16

目录

1. 产品特性.....	1	8. 参数测试电路.....	11
2. 典型应用.....	1	9. 详细说明.....	14
3. 概述.....	1	9.1. 逻辑输入.....	14
4. 订购指南.....	2	9.2. 失效保护接收器.....	14
5. 修订历史.....	3	9.3. 驱动器.....	15
6. 引脚功能描述.....	4	9.4. 保护功能.....	15
7. 产品规格.....	5	9.4.1. 信号隔离与电源隔离.....	15
7.1. 绝对最大额定值 ¹	5	9.4.2. 热关断.....	15
7.2. ESD 额定值.....	5	9.4.3. 限流保护.....	15
7.3. 建议工作条件.....	5	10. 应用信息.....	16
7.4. 热阻信息.....	5	10.1. 概述.....	16
7.5. 隔离特性.....	6	10.2. 典型应用.....	17
7.6. 相关安全认证（申请中）.....	7	10.3. 256 个总线节点.....	17
7.7. 电气特性.....	8	10.4. PCB 布板.....	17
7.7.1. 驱动器特性.....	8	11. 封装信息.....	19
7.7.2. 接收器特性.....	8	11.1. LGA16 封装尺寸.....	19
7.8. 电源特性.....	9	12. 焊接信息.....	20
7.9. 时序特性.....	10	13. 卷带信息.....	21
7.9.1. 驱动时序特性.....	10	14. 重要声明.....	22
7.9.2. 接收时序特性.....	10		

5. 修订历史

修订版本号	修订内容	页码
Preliminary Version	NA	NA

6. 引脚功能描述

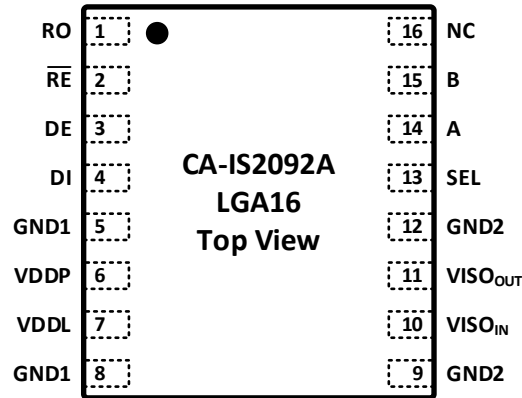


图 6-1 CA-IS2092A LGA16 配置

表 6-1 CA-IS2092A 引脚功能描述

引脚名称	引脚编号	类型	描述
RO	1	逻辑输出	逻辑侧接收器输出端。
\overline{RE}	2	逻辑输入	接收器使能控制： \overline{RE} 为低电平时，使能接收器工作； \overline{RE} 为高电平时，接收输出为高阻。
DE	3	逻辑输入	驱动器使能控制：DE为低电平时，驱动输出为高阻；DE为高电平时，驱动器使能工作。
DI	4	逻辑输入	发送数据输入端：当DI为高时，A输出高，B输出低；当DI为低时，A输出低，B输出高。
GND1	5	地	逻辑侧参考地，在芯片内部与PIN8短接。
VDDP	6	电源	逻辑侧 DC-DC 供电电源。
VDDL	7	电源	逻辑侧 RS-485 供电电源。
GND1	8	地	逻辑侧参考地，在芯片内部与PIN5短接。
GND2	9	地	总线侧参考地，在芯片内部与PIN12短接。
VISO _{IN}	10	电源	总线侧 RS-485 供电，VISO _{IN} 和VISO _{OUT} 应该在PCB上直接短接在一起。
VISO _{OUT}	11	电源	总线侧 DC-DC 输出的电源，VISO _{IN} 和VISO _{OUT} 应该在PCB上直接短接在一起。
GND2	12	地	总线侧参考地，在芯片内部与PIN9短接。
SEL	13	逻辑输入	VISO _{OUT} , VISO _{IN} 输出电压选择。 SEL接VISO _{IN} 时，VISO _{OUT} = VISO _{IN} = 5.0 V； SEL接GND2或悬空时，VISO _{OUT} = VISO _{IN} = 3.3 V。 为了提高系统的抗干扰能力，SEL引脚不建议悬空。
A	14	逻辑输入/输出	总线正接收输入端和总线正发送输出端。
B	15	逻辑输入/输出	总线负接收输入端和总线负发送输出端。
NC	16	无内部连接	悬空，无内部连接。

7. 产品规格

7.1. 绝对最大额定值¹

参数	最小值	最大值	单位
VDDP, VDDL	-0.5	6.0	V
VISO _{IN} , VISO _{OUT}	-0.5	6.0	V
V _{IO1}	-0.5	VDDL+0.5 ³	V
V _{IO2}	-0.5	VISO _{IN} +0.5 ³	V
V _{BUS}	-8	13	V
I _O	-20	20	mA
T _J		150	°C
T _{STG}	-65	150	°C

- 注:
- 工作条件等于或超出上述绝对最大额定值可能会导致器件永久性损坏。这里给出的是器件额定值,并非工作条件,不能据此推断产品能否正常工作。器件长期在超出最大额定值条件下工作会影响产品的可靠性,甚至导致产品损坏。
 - 除总线差分输出/输入电压以外,所有电压值均相对于本地接地端(GND1或GND2),并且是峰值电压值。
 - 最大电压不得超过6V。

7.2. ESD 额定值

参数	数值	单位
V _{ESD} 静电放电	逻辑侧所有引脚对 GND1	±6
	人体模型(HBM), 基于 ANSI/ESDA/JEDEC JS-001。 总线侧引脚 A, B 对 GND2	±8
	总线侧其它引脚对 GND2	±6
	组件充电模式(CDM), 基于 JEDEC 规范 JESD22-C101, 所有引脚。	±2

7.3. 建议工作条件

参数	最小值	典型值	最大值	单位
VDDP ¹	3	3.3 或 5.0	5.5	V
VDDL	2.5	3.3 或 5.0	5.5	V
V _{OC}	-7		12	V
V _{ID}	-12		12	V
R _L	54			Ω
V _{IH}	0.7 × VDDL			V
V _{IL}			0.3 × VDDL	
V _{HYS}		0.1 × VDDL		
DR			0.5	Mbps
T _A	-40		125	°C

- 注:
- 任何工作条件下,电源电压需要满足 $VDDP \geq VISO_{OUT}$, 不支持 3.3V VDDP 电源输入, 5V VISO_{OUT} 电源输出的应用。

7.4. 热阻信息

热参数	CA-IS2092A	Unit
R _{θJA} IC 结至环境的热阻	TBD	°C/W

7.5. 隔离特性

参数		测试条件	数值	单位
			A	
CLR	外部气隙 (间隙) ¹	输入端至输出端的隔空最短距离	3.45	mm
CPG	外部爬电距离 ¹	输入端至输出端沿壳体的最短距离	3.45	mm
DTI	隔离距离	最小内部间隙 (内部距离)	18	μm
CTI	相对漏电指数	DIN EN 60112 (VDE 0303-11); IEC 60112	>400	V
	材料组	依据 IEC 60664-1	II	
	IEC 60664-1 过压类别	额定电压 ≤ 300 V _{RMS}	I-IV	
		额定电压 ≤ 400 V _{RMS}	I-IV	
		额定电压 ≤ 600 V _{RMS}	I-III	
DIN V VDE V 0884-11:2017-01²				
V _{IORM}	最大重复峰值隔离电压	交流电压(双极)	566	V _{PK}
V _{IOWM}	最大工作隔离电压	交流电压; 时间相关的介质击穿 (TDDb) 测试	400	V _{RMS}
		直流电压	566	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60 s (认证); V _{TEST} = 1.2 × V _{IOTM} , t = 1 s (100% 产品测试)	3535	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ³	测试方法 依据 IEC 60065, 1.2/50 μs 波形, V _{TEST} = 1.6 × V _{IOSM} (生产测试)	5000	V _{PK}
q _{pd}	表征电荷 ⁴	方法 a, 输入/输出安全测试子类 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10 s	≤5	pC
		方法 a, 环境测试子类 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60 s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10 s	≤5	
		方法 b, 常规测试 (100% 生产测试) 和前期 预处理(抽样测试) V _{ini} = 1.2 × V _{IOTM} , t _{ini} = 1 s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1 s	≤5	
C _{IO}	栅电容, 输入到输出 ⁵	V _{IO} = 0.4 × sin(2πft), f = 1 MHz	~3	pF
R _{IO}	绝缘电阻 ⁵	V _{IO} = 500 V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500 V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500 V at T _S = 150°C	>10 ⁹	
	污染度		2	
UL 1577				
V _{ISO}	最大隔离电压	V _{TEST} = V _{ISO} , t = 60 s (认证), V _{TEST} = 1.2 × V _{ISO} , t = 1 s (100% 生产测试)	2500	V _{RMS}
注:				
1. 爬电距离和间隙要求应根据具体应用中特定设备的隔离标准。电路板设计应注意保持爬电和间隙距离, 确保隔离器在印刷电路板上的焊盘不会缩短此距离。印刷电路板上的爬电距离与间隙在某些情况下是相同的。通过在电路板上插入凹槽可以增大这些距离指标。 2. 该标准仅适用于最大工作额定值范围内的安全电气隔离, 应通过适当的保护电路确保遵守安全等级要求。 3. 测试在空气或油中进行, 以确定隔离层固有的浪涌抑制。 4. 表征电荷是由局部放电引起的放电电荷(pd)。 5. 绝缘栅两侧的所有引脚连接在一起, 构成双端器件。				

7.6. 相关安全认证（申请中）

VDE(申请中)	UL(申请中)
根据 DIN V VDE V 0884-11:2017-01 认证	基于 UL1577 器件认证程序
基本绝缘: 最大瞬态隔离电压: 3535V _{pk} 最大重复峰值隔离电压: 566V _{pk} 最大浪涌隔离电压: 5000V _{pk}	保护电压: LGA16: 2500 V _{RMS} ; (认证中)
证书编号: (申请中)	证书编号: (申请中)

7.7. 电气特性
7.7.1. 驱动器特性

 测试时 VDDP 和 VDDL 短接, VISO_{OUT} 和 VISO_{IN} 短接。除非有额外说明, 本表格数据均为推荐工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位	
V _{OD1}	差分输出电压 (无负载)	I _O = 0mA, SEL 为低电平或悬空	3	3.3	V	
		I _O = 0mA, SEL 为高电平	4.5	5		
V _{OD2}	差分输出电压 (带负载)	R _L = 54Ω, SEL 为低电平或悬空; 见图 8-1	1.5	2.3	V	
		R _L = 54Ω, SEL 为高电平; 见图 8-1	2.1	3.6		
V _{OD3}	差分输出电压 (带负载)	V _{test} 从 -7V 到 12V; 见图 8-1	1.5		V	
Δ V _{OD}	差分输出电压变化	R _L = 54Ω 或 100Ω; 见图 8-1	-0.2	0.2	V	
V _{OC}	共模输出电压		1	VISO _{OUT} /2	3	V
ΔV _{OC}	稳态共模输出电压变化		-0.2		0.2	V
I _{IH}	输入漏电流	DI, DE = VDDL	-20		20	μA
I _{IL}	输入漏电流	DI, DE = 0V	-20		20	μA
I _{OS}	驱动器输出短路电流	DE = VDDL, DI = 0V 或 VDDL, V _A 或 V _B = -7V	-150		150	mA
		DE = VDDL, DI = 0V 或 VDDL, V _A 或 V _B = 12V				
CMTI	共模瞬变抗扰度	V _{CM} = 1.5kV; 如图 8-6	100	150		kV/μs

7.7.2. 接收器特性

 测试时 VDDP 和 VDDL 短接, VISO_{OUT} 和 VISO_{IN} 短接。除非有额外说明, 本表格数据均为推荐工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位	
V _{OH}	逻辑高电平输出电压 RO	VDDP = 5V, I _{OH} = -4mA	VDDP-0.4	4.8	V	
		VDDP = 3.3V, I _{OH} = -4mA	VDDP-0.4	3.1		
V _{OL}	逻辑低电平输出电压 RO	VDDP = 5V, I _{OL} = 4mA		0.2	0.4	V
		VDDP = 3.3V, I _{OL} = 4mA		0.2	0.4	
I _{IH}	高电平输入漏电流 \overline{RE}	V _{IH} = VDDP	-20		20	μA
I _{IL}	低电平输入漏电流 \overline{RE}	V _{IL} = 0V	-20		20	μA
V _{IT+(IN)}	高电平输入阈值		-110		-50	mV
V _{IT-(IN)}	低电平输入阈值		-200		-140	mV
V _{I(HYS)}	输入阈值迟滞			30		mV
I _I	总线输入电流	V _A 或 V _B = 12V, 其它输入引脚接 0V		75	125	μA
		V _A 或 V _B = 12V, VDDP = 0V, 其它 输入引脚接 0V		80	125	
		V _A 或 V _B = -7V, 其它输入引脚接 0V	-100	-40		
		V _A 或 V _B = -7V, VDDP = 0V, 其它 输入引脚接 0V	-100	-40		
R _{ID}	差分输入电阻	总线 A 和 B 之间	96			kΩ
C _D	差分输入电容	总线 A 和 B 之间, f = 1MHz, V _I = 0.4×sin(2πft)		12		pF
C _I	输入到地电容	A 或 B 到 GND2, f = 1MHz, V _I = 0.4×sin(2πft)		18		pF

7.8. 电源特性

 测试时 VDDP 和 VDDL 短接, VISO_{OUT} 和 VISO_{IN} 短接。除非有额外说明, 本表格数据均为建议工作条件下的测试结果。

参数		测试条件	最小值	典型值	最大值	单位
隔离电源 (除非有额外说明, A、B 之间无负载电阻)						
V _{ISO}	隔离输出电压	I _{ISO} = 0 到 80mA, VDDP = 5V, SEL = VISO _{IN}	4.625	5	5.375	V
		I _{ISO} = 0 到 100mA, VDDP = 5V, SEL = GND2	3.05	3.3	3.55	
		I _{ISO} = 0 到 50mA, VDDP = 3.3V, SEL = GND2	3.05	3.3	3.55	
VDDP _{UVLO+}	欠压锁定上升阈值	VDDP 电源	2.5	2.7	2.9	V
VDDP _{UVLO-}	欠压锁定下降阈值		2.1	2.3	2.5	
VDDL _{UVLO+}	欠压锁定上升阈值	VDDL 电源	2.1	2.25	2.4	V
VDDL _{UVLO-}	欠压锁定下降阈值		1.9	2.05	2.2	
静态电流, 驱动器和接收器使能 (DE = VDDL, RE = 0V, DI = 0V)						
IDDP	逻辑侧 供电电流	A、B 间空载	VDDP = 3.3V, SEL = GND2	15	20	mA
			VDDP = 5.0V, SEL = GND2	10	15	
			VDDP = 5.0V, SEL = VISO _{IN}	15	20	
		A、B 间 R _L = 54Ω	VDDP = 3.3V, SEL = GND2	100	135	
			VDDP = 5.0V, SEL = GND2	80	110	
			VDDP = 5.0V, SEL = VISO _{IN}	145	195	
		A、B 间 R _L = 100Ω	VDDP = 3.3V, SEL = GND2	75	90	
			VDDP = 5.0V, SEL = GND2	55	75	
			VDDP = 5.0V, SEL = VISO _{IN}	100	130	
		A、B 间 R _L = 120Ω	VDDP = 3.3V, SEL = GND2	60	80	
			VDDP = 5.0V, SEL = GND2	50	65	
			VDDP = 5.0V, SEL = VISO _{IN}	85	115	
平均动态电流, 驱动器和接收器使能 (DE = VDDL, RE = 0V), DI 输入 250kHz、50% 占空比方波						
IDDP	逻辑侧 供电电流	A、B 间空载	VDDP = 3.3V, SEL = GND2	20	30	mA
			VDDP = 5.0V, SEL = GND2	20	65	
			VDDP = 5.0V, SEL = VISO _{IN}	30	45	
		A、B 间负载 R _L = 54Ω	VDDP = 3.3V, SEL = GND2	100	135	
			VDDP = 5.0V, SEL = GND2	80	110	
			VDDP = 5.0V, SEL = VISO _{IN}	145	200	
		A、B 间负载 R _L = 100Ω	VDDP = 3.3V, SEL = GND2	75	95	
			VDDP = 5.0V, SEL = GND2	55	80	
			VDDP = 5.0V, SEL = VISO _{IN}	110	140	
		A、B 间负载 R _L = 120Ω	VDDP = 3.3V, SEL = GND2	70	90	
			VDDP = 5.0V, SEL = GND2	50	75	
			VDDP = 5.0V, SEL = VISO _{IN}	95	130	

7.9. 时序特性

7.9.1. 驱动时序特性

测试时 VDDP 和 VDDL 短接，VISO_{OUT} 和 VISO_{IN} 短接。除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
t _{PLH} , t _{PHL}	驱动传输延时		100	250	ns
t _{PWD}	脉冲宽度失真 t _{PLH} - t _{PHL}	见图 8-2		20	ns
t _r , t _f	输出上升/下降时间		150	500	ns
t _{PZH} , t _{PZL}	驱动器使能时间	见图 8-3	30	100	ns
t _{PHZ} , t _{PLZ}	驱动器关断时间		30	100	ns

7.9.2. 接收时序特性

测试时 VDDP 和 VDDL 短接，VISO_{OUT} 和 VISO_{IN} 短接。除非有额外说明，本表格数据均为建议工作条件下的测试结果。

参数	测试条件	最小值	典型值	最大值	单位
t _{PLH} , t _{PHL}	接收传输延时		80	150	ns
t _{PWD}	脉冲宽度失真 t _{PLH} - t _{PHL}	见图 8-4		8	ns
t _r , t _f	输出上升/下降时间		2.5	4	ns
t _{PHZ} , t _{PLZ}	接收器关闭时间	见图 8-5	5	20	ns
t _{PZH} , t _{PZL}	接收器使能时间, DE = 0V		5	20	ns

8. 参数测试电路

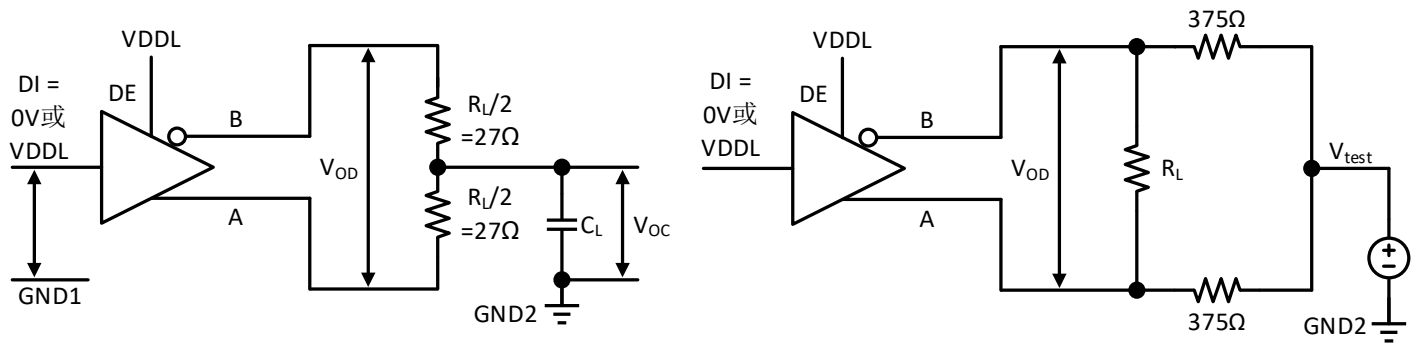


图 8-1 驱动器直流特性测试电路

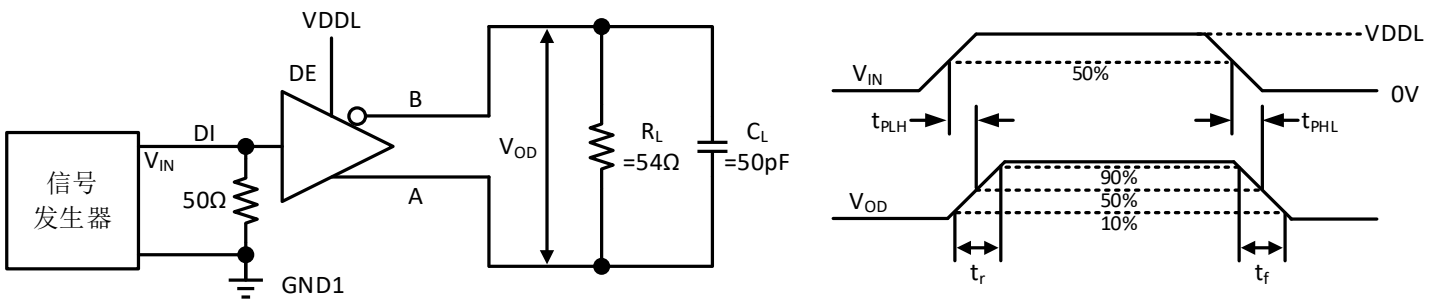


图 8-2 驱动器传输延时测试电路与波形

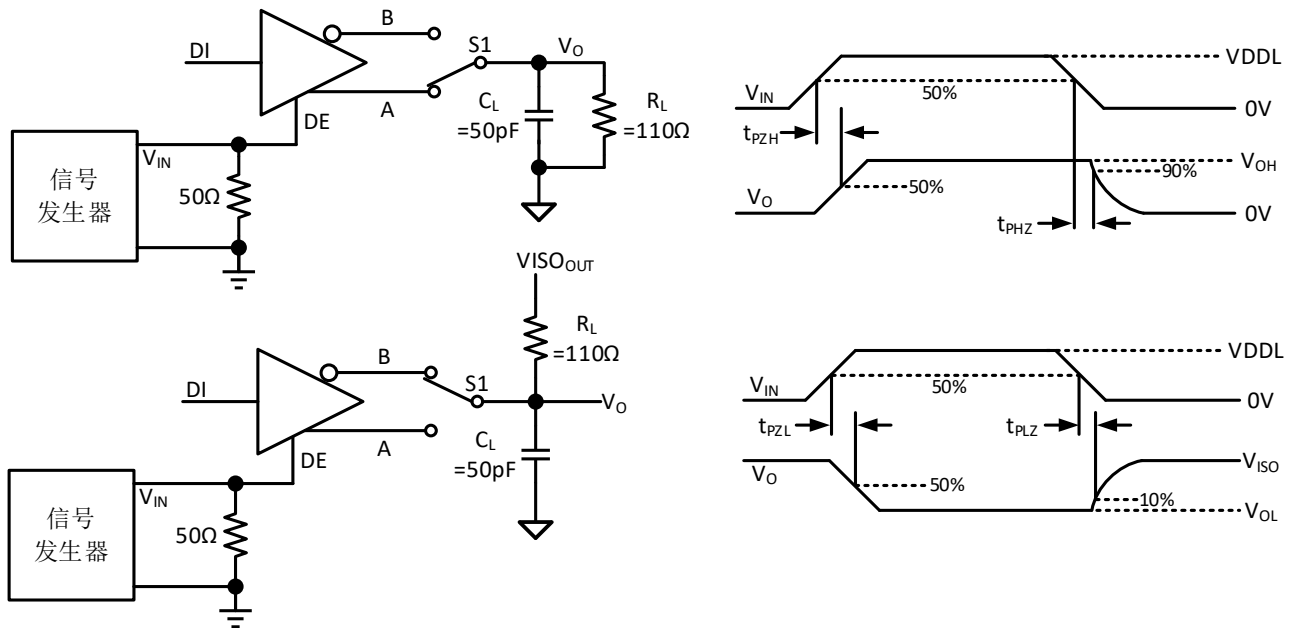


图 8-3 驱动器使能与禁止时间测试电路与波形

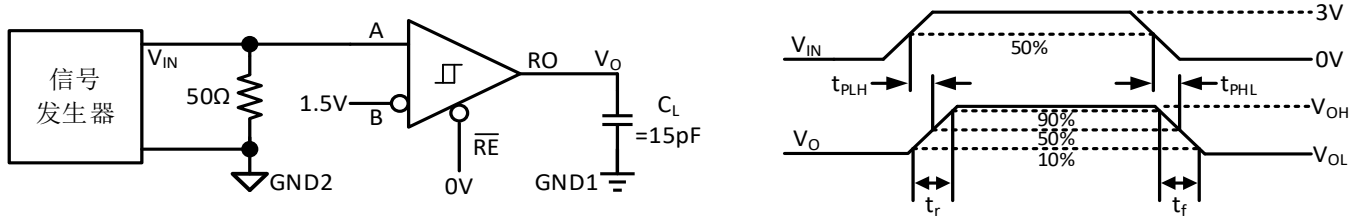


图 8-4 接收器传输延时测试电路与波形

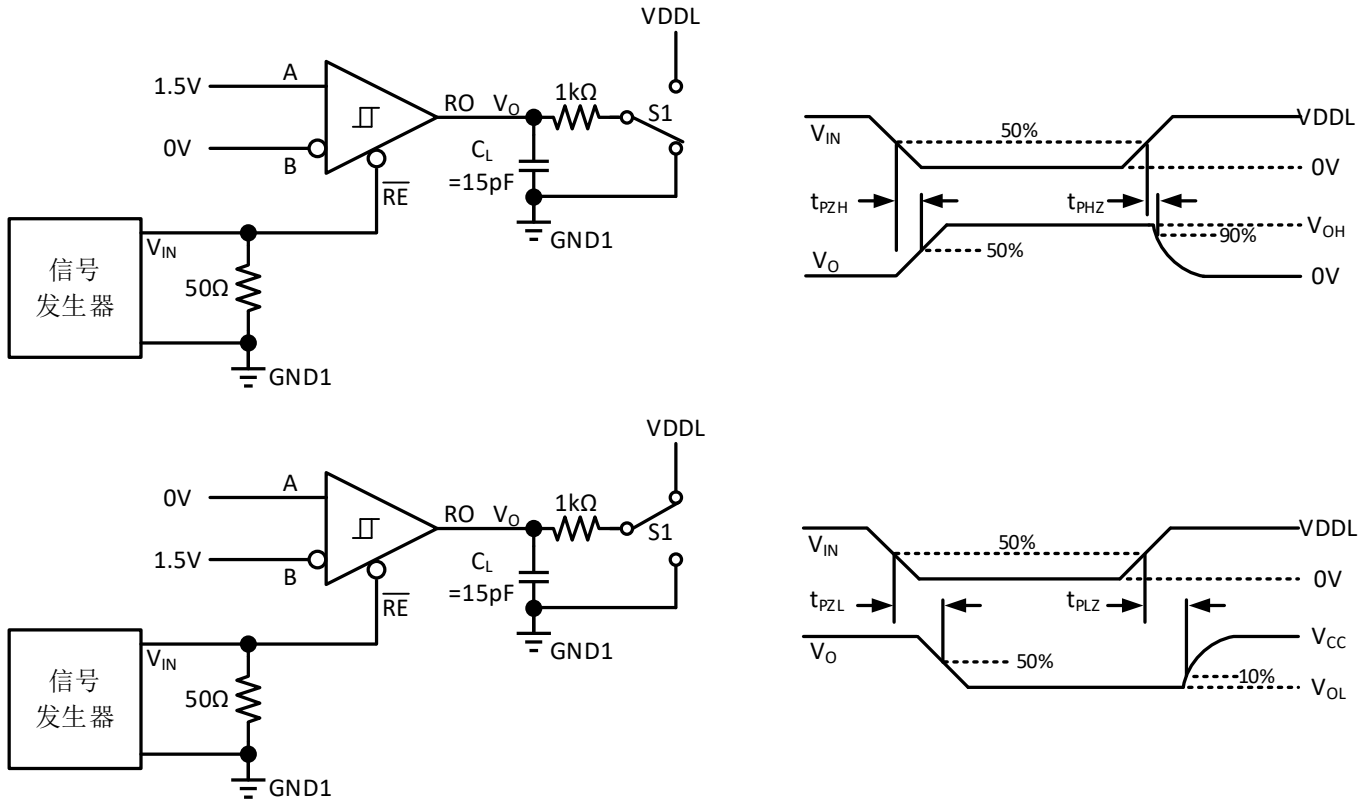


图 8-5 接收器使能与禁止时间测试电路与波形

注:

1. 对于 RS-485, $R_L = 54 \Omega$ 。
2. C_L 包括所有外部电路（测试仪器、连线等）的等效电容。

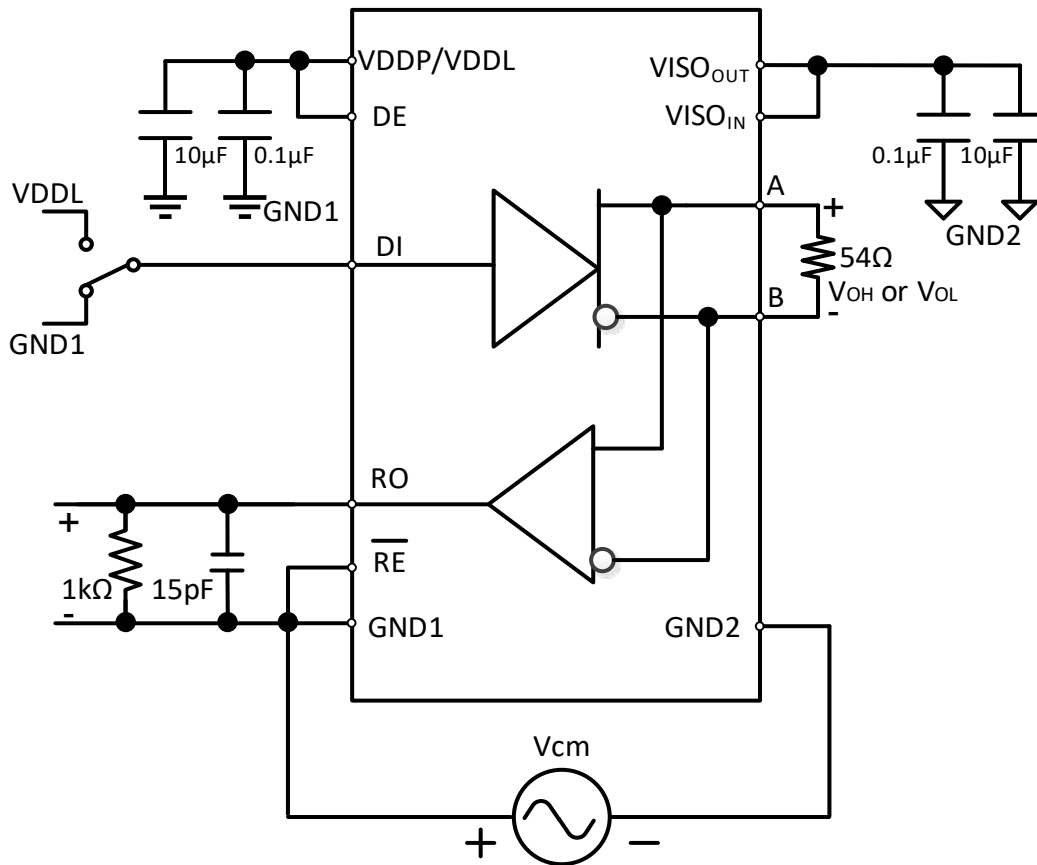


图 8-6 半双工收发器共模抑制比 (CMTI) 测试电路

9. 详细说明

CA-IS2092A 隔离式半双工 RS-485 收发器在总线侧与控制侧（逻辑侧）提供高达 2.5kV_{RMS} 的电气隔离。该器件具有 150kV/μs 的共模瞬态抑制能力，允许速率高达 0.5Mbps 的数据跨过绝缘栅传输。CA-IS2092A 内部 DC-DC 转换器提供电源隔离，为总线侧产生 3.3V 或 5V 的供电电压，仅需少数几个旁路电容即可构成完备的信号与电源隔离 RS-485 接口。CA-IS2092A 器件可靠的隔离特性、高等级的 ESD 保护能力以及优异的共模瞬态抗扰度能够确保在嘈杂恶劣的环境中实现可靠的数据传输，适用于电机驱动、PLC 通信模块、光伏逆变器等广泛的工业应用场景。该系列收发器通过两种机制避免在发生总线故障或总线冲突时出现大功率消耗：首先是驱动器具有限流保护功能，即在所允许的共模电压范围内一旦发生输出短路，驱动器输出会限流；其次是热关断保护，一旦检测到器件结温超过热关断阈值，驱动器禁用，输出隔离电压关断，降低损耗。CA-IS2092A 将逻辑侧 DC-DC 供电和 RS-485 收发器供电分开，便于逻辑侧与低压控制电路的信号交互。CA-IS2092A 采用 LGA16 小型化封装，能够显著节省 PCB 布板空间，提高系统集成度。

9.1. 逻辑输入

CA-IS2092A 器件的逻辑侧包含三个数字输入：接收器使能控制、驱动器使能控制和驱动器输入。其中，驱动器使能引脚 DE 在内部下拉至 GND1；驱动器数字输入 DI 和接收器使能控制引脚在内部上拉至 VDDL，参见图 9-1 逻辑输入等效电路。

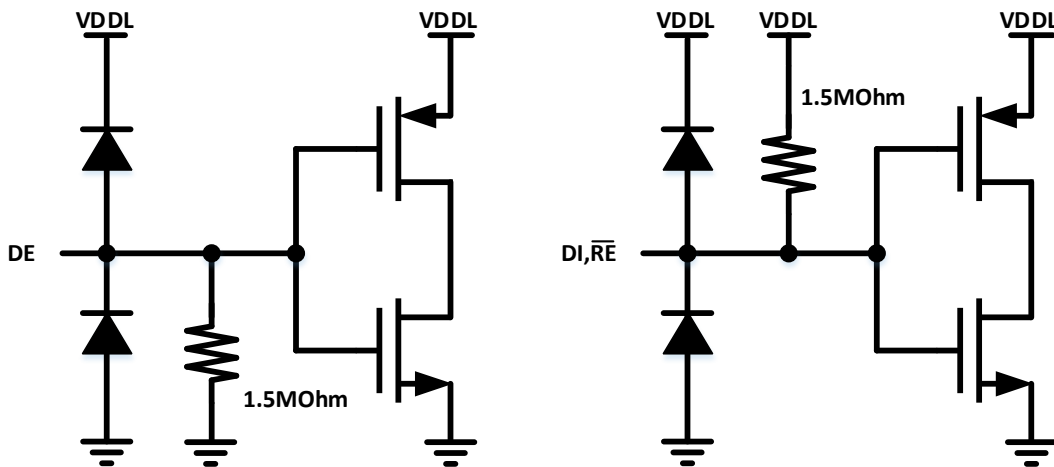


图 9-1 逻辑输入等效电路

9.2. 失效保护接收器

RS-485 接收器将来自总线（A 和 B）的差分信号转换为逻辑侧的单端输出，提供给后级的控制器。使能控制信号 \overline{RE} 置为低电平时，接收器使能； \overline{RE} 置为高电平时，接收器禁用，接收器输出 RO 为高阻态。接收器使能控制 \overline{RE} 引脚具有内部弱上拉，如图 9-1 输入等效电路所示。

CA-IS2092A 隔离式 RS-485 收发器具有真正的失效保护功能，可以省去外部失效保护偏置电阻。失效保护接收器将门限电压分别设置为 -50mV（高电平输入阈值）和 -200mV（低电平输入阈值），当 \overline{RE} 为低电平时，如果接收器差分输入电压 $V_A - V_B \geq -50mV$ ，接收器输出 RO 为高电平；如果差分输入电压 $V_A - V_B \leq -200mV$ ，详见接收器真值表（表 9-1）。失效保护特性能够在收发器没有连接总线电缆，或者是当电缆开路、短路时，确保接收器输出故障安全高电平。

表 9-1 接收器真值表¹

差分输入: $V_{ID} = (V_A - V_B)$	使能 (\overline{RE})	输出 (RO)
$-50\text{mV} \leq V_{ID}$	L	H
$-50\text{mV} < V_{ID} < -200\text{mV}$	L	不确定
$V_{ID} \leq -200\text{mV}$	L	L
X	H	Hi-Z
开路/短路/空闲	L	H
X	开路 ²	Hi-Z

注:

1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻。
2. \overline{RE} 具有内部弱上拉。

9.3. 驱动器

RS-485 驱动器将本地控制器提供的单端输入信号 (DI) 转换成差分输出 (A 和 B), 用于总线传输。驱动器真值表如表 9-2 所示。总线侧 A、B 引脚均具有 $\pm 8\text{kV}$ (人体模式) 静电保护, 保护电压均以 GND2 为地参考。驱动器还提供输出短路保护和热关断保护功能, 避免器件损坏。DE 引脚内部弱下拉, 该引脚接低电平或开路时, 驱动器禁用。此外, 器件的驱动器输入 DI 引脚内部弱上拉, 当驱动器使能时, 如果 DI 开路, 则驱动器输出高电平。

 表 9-2 驱动器真值表¹

驱动器输入 (DI)	使能输入 (DE)	输出	
		A	B
H	H	H	L
L	H	L	H
X	L	Hi-Z	Hi-Z
X	开路 ²	Hi-Z	Hi-Z
开路 ²	H	H	L

注:

1. X = 无关; H = 高电平; L = 低电平; Hi-Z = 高阻。
2. DE 内部弱下拉至 GND1, DI 引脚内部弱上拉至 VDDL。

9.4. 保护功能

9.4.1. 信号隔离与电源隔离

CA-IS2092A 器件内部集成数字隔离器, 采用基于开关键控 (OOK) 调制的电容隔离技术, 在逻辑侧与总线侧之间提供高达 $2.5\text{kV}_{\text{RMS}}$ (1 分钟) 的电气隔离, 允许两侧电路工作在不同的电源域; 内部 DC-DC 转换器则提供电源隔离, 可通过配置 SEL 引脚产生 3.3V 或 5V 输出用作总线侧供电, 进一步简化隔离接口设计。

9.4.2. 热关断

当 CA-IS2092A 器件的结温超出热关断门限 $T_{J(\text{shutdown})}$ (180°C , 典型值) 时, 输出电压 $V_{ISO\text{OUT}}$ 关断, 驱动器输出进入高阻态。一旦结温恢复到正常工作范围 (160°C , 典型值), 器件自动退出热关断状态, $V_{ISO\text{OUT}}$ 和驱动器输出均恢复到正常状态。

9.4.3. 限流保护

CA-IS2092A 器件的驱动器还提供输出短路保护, 在整个共模电压范围内, 一旦发生输出短路到正压或负压, 驱动器将限制输出电流, 此时有可能消耗较大的电源电流使器件结温升高, 触发热关断功能, 为输出短路提供了二次防护。

10. 应用信息

10.1. 概述

CA-IS2092A 为隔离式半双工 RS-485 收发器，用于支持异步数据传输。用户可以通过驱动器和接收器的使能控制引脚配置收发器的工作模式，确保在任何时刻总线上处于发送状态的节点不会多于一个，以避免总线冲突。由于在电源引脚存在较大的峰值电流，为避免 VDDP、VISO_{OUT} 电压出现不稳定，建议在每个电源引脚分别使用 0.1μF 和 10μF 的去耦电容。如图 10-1 典型应用电路所示，图中终端匹配电阻安装在总线的主机端和距离最远的节点处。为确保器件正常启动，建议在 CA-IS2092A 上电过程中，驱动器不要启动数据发送，等上电结束后再进行正常的的数据发送。

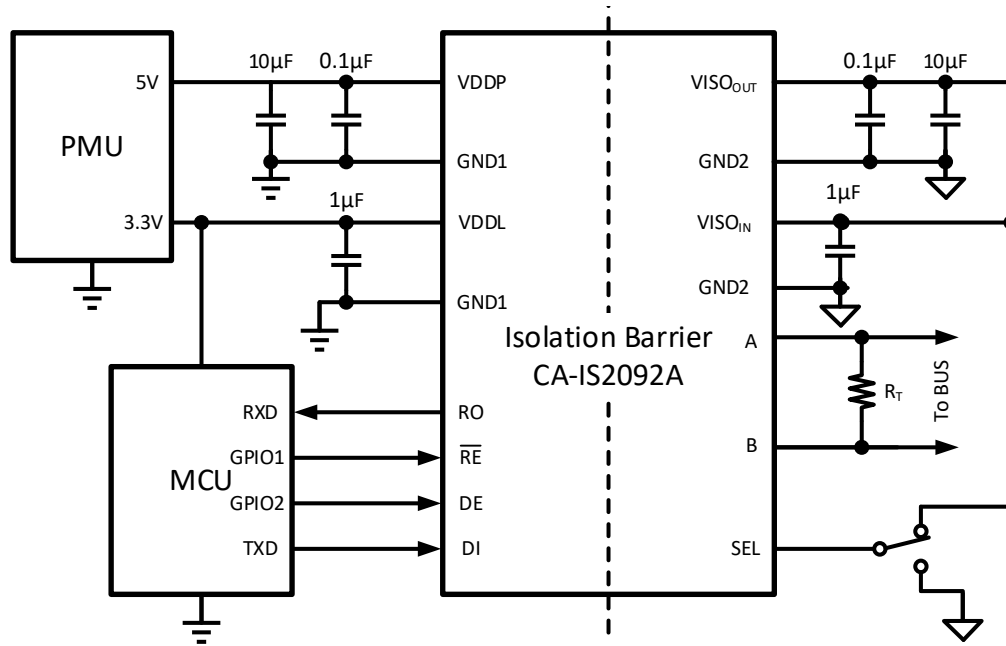


图 10-1 典型应用电路

10.2. 典型应用

RS-485 总线是在同一总线上并行连接多个收发器，实现多节点间的远距离数据传输。图 10-2 为典型的半双工 RS-485 通信网络配置。

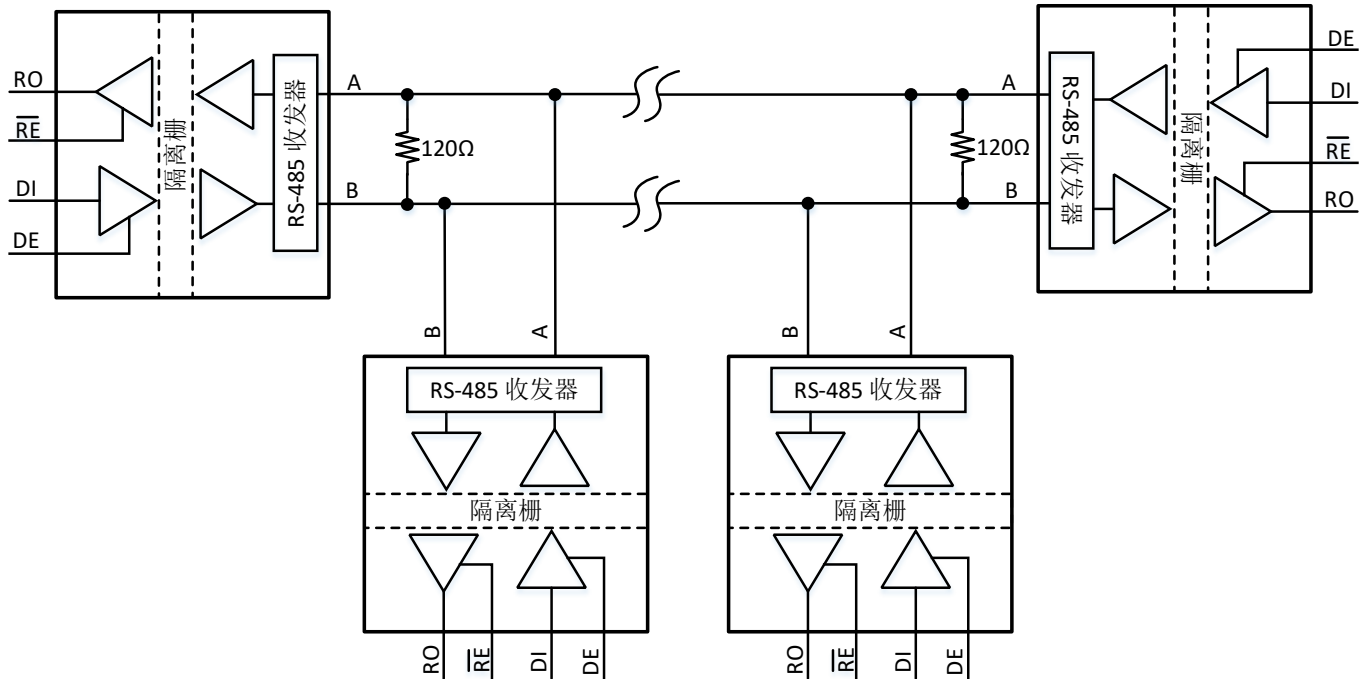


图 10-2 典型半双工 RS-485 通信网络

在实际应用中，RS-485 通信网络的最高数据速率和最远传输距离均受限于所使用的电缆、总线上的负载、节点数、网络拓扑等因素，在实际设计中需要考虑信号在电缆上的传输损耗、时间延迟、网络不匹配/不平衡、节点间的地电位差等因素，为网络配置留出一定的裕量。为降低信号反射，在总线网络中需要考虑匹配问题，通常在总线相距最远的两个端点接匹配电阻，阻值为双绞线的特征阻抗 (Z_0)，典型值为 120Ω 。分支节点与总线的距离应尽可能短。分支节点与总线的距离应尽可能短，建议将匹配电阻放置在总线电缆上相距最远的两个节点，通常为主机端和相距最远的节点。

10.3. 256 个总线节点

RS-485 总线允许挂接的最大收发器的个数取决于系统的总体负载，任何器件连接到总线上时都将引入额外的总线负载。RS-485 总线负载通常以“单位负载”计量，根据 RS-485 标准，一对特征阻抗为 120Ω （或更大）的双绞线，总线上可以挂接 32 个接收器阻抗为“单位负载”的收发器，单位负载阻抗为 $12k\Omega$ 。CA-IS2092A 系列器件的接收器输入阻抗为 $1/8$ 单位负载，即 $96k\Omega$ ，一对通信总线上允许挂接的收发器数量可以达到 $32 \times 8 = 256$ 个。

10.4. PCB 布板

建议在隔离器下方保留一个远离地线和信号线的隔离通道，电缆侧和逻辑侧之间的任何电气连接或金属连接，都会降低隔离度。为确保器件在任何数据速率下可靠工作，建议在 $VDDP$ 与 $GND1$ 、 $VISO_{OUT}$ 与 $GND2$ 之间外接 $10\mu F$ 的去耦电容。并且电容器应紧靠器件相应的电源引脚放置。实际应用中，输入和输出电容为 $10\mu F$ 和 $0.1\mu F$ 电容并联，且 $10\mu F$ 电容靠近芯片引脚摆放，距离控制在 $2mm$ 以内。

PCB 板上输入、输出电容和芯片必须放在芯片同一层，不要将电容和芯片放在不同层且通过过孔相连。推荐 PCB 隔离电源部分走线如图 10-3 所示。

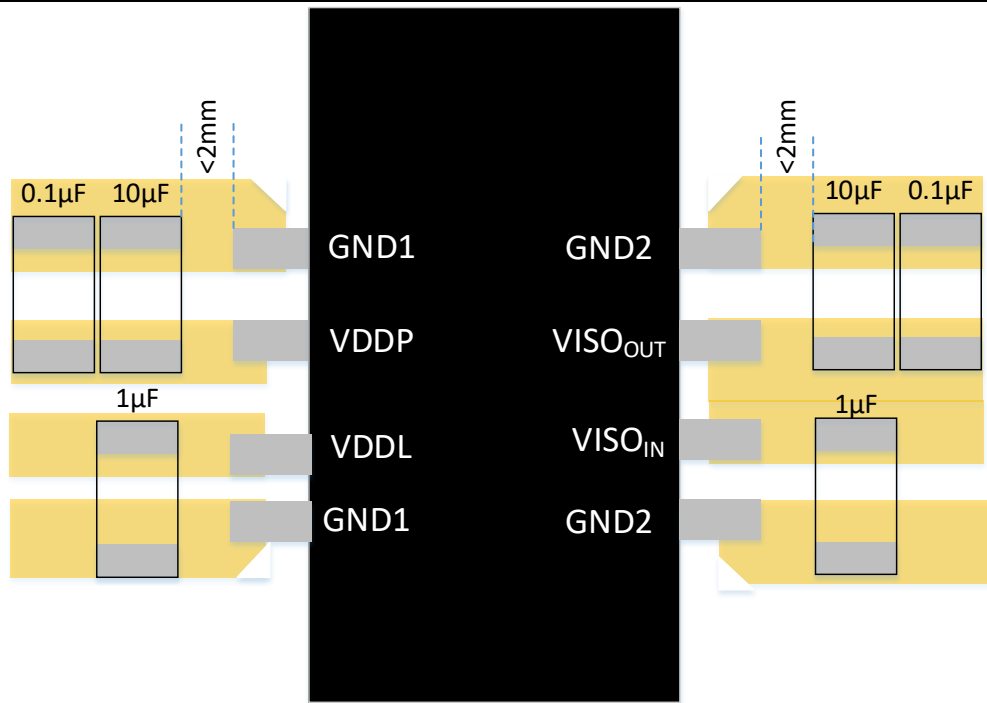
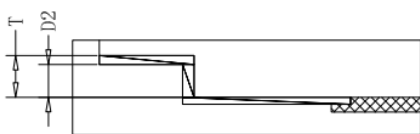
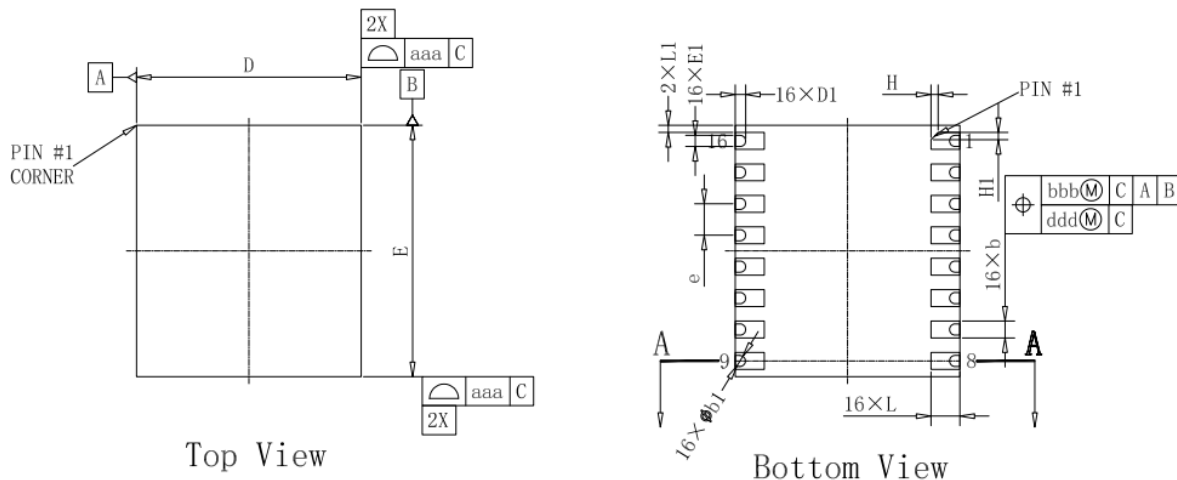


图 10-3 推荐 PCB 电源部分走线

11. 封装信息

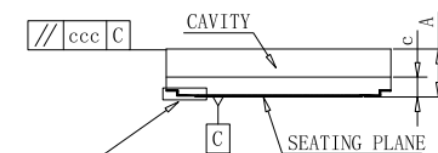
11.1. LGA16 封装尺寸

下图给出了 LGA16 封装的尺寸图。尺寸以毫米为单位。



DETAIL B

80:1



DETAIL B

SECTION A-A

symbol	Dimension in mm			Dimension in inch		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.890	0.990	1.090	0.035	0.039	0.043
c	0.370	0.410	0.450	0.015	0.016	0.018
D	4.550	4.650	4.750	0.179	0.183	0.187
E	5.100	5.200	5.300	0.201	0.205	0.209
D1	0.185	0.215	0.245	0.007	0.008	0.010
E1	0.200	0.230	0.260	0.008	0.009	0.010
D2	0.060	0.085	0.110	0.002	0.003	0.004
H	---	0.150	---	---	0.006	---
H1	---	0.150	---	---	0.006	---
L	0.500	0.600	0.700	0.020	0.024	0.028
L1	0.075	0.150	0.225	0.003	0.006	0.009
e	---	0.650	---	---	0.026	---
b	0.300	0.350	0.400	0.012	0.014	0.016
b1	0.200	0.230	0.260	0.008	0.009	0.010
T	0.083	---	---	0.003	---	---
aaa	0.100			0.004		
bbb	0.150			0.006		
ccc	0.100			0.004		
ddd	0.080			0.003		

12. 焊接信息

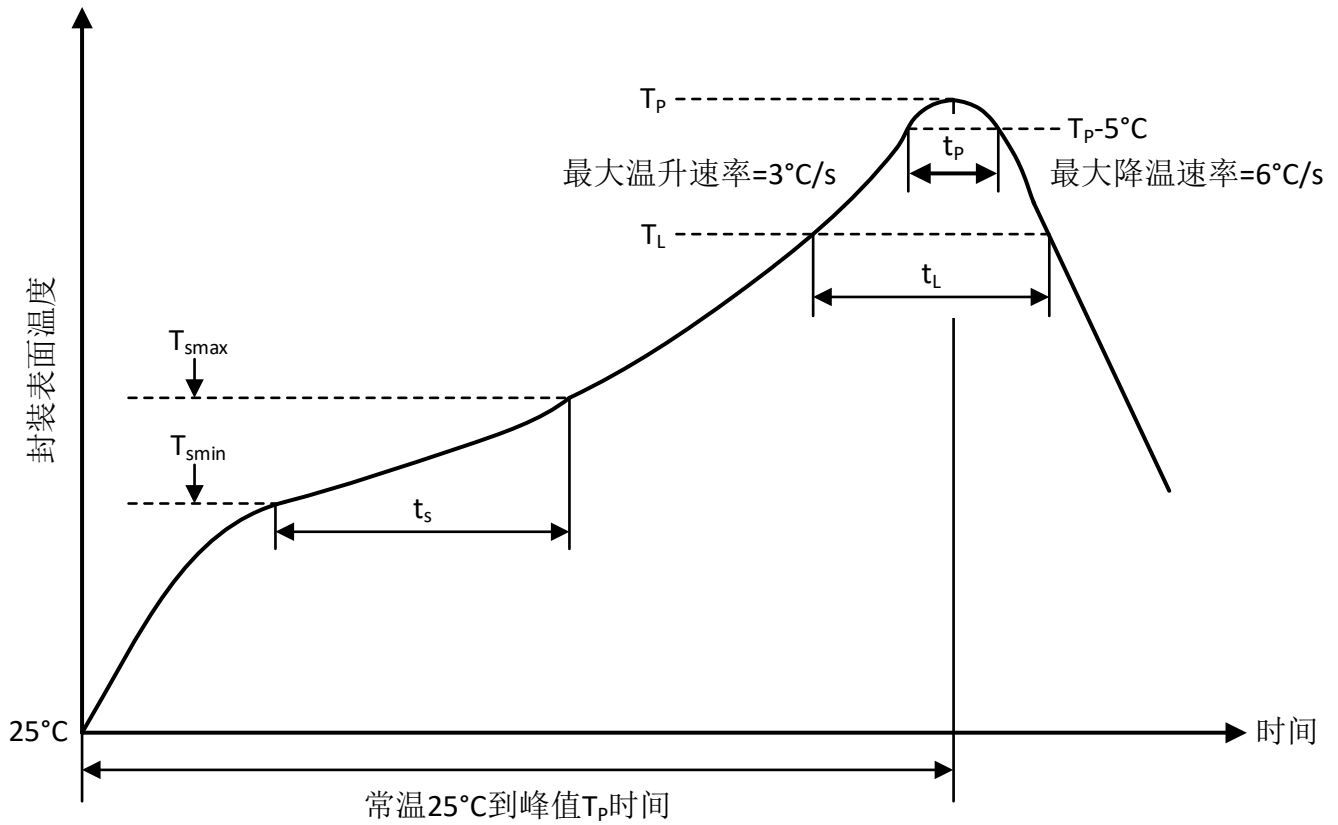
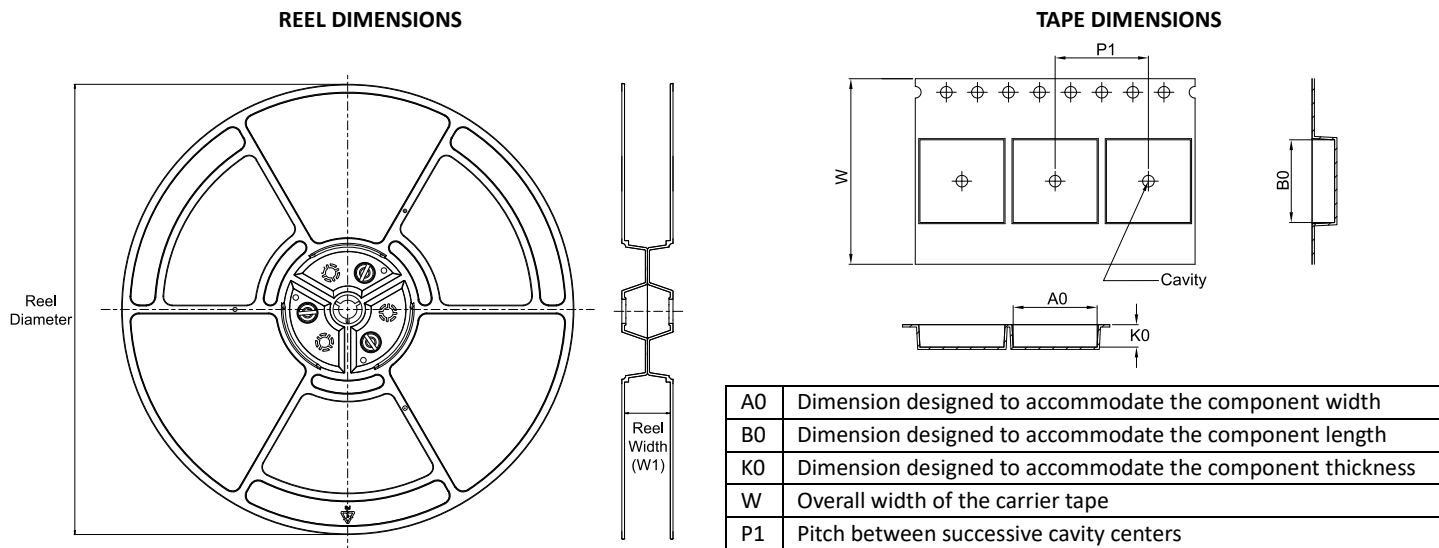


图 12-1 焊接温度曲线

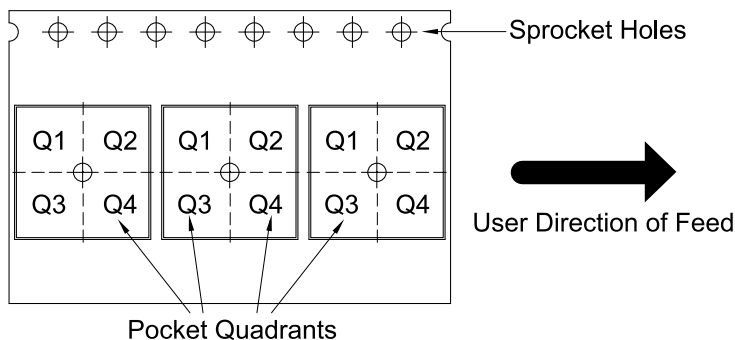
表 12-1 焊接温度参数

简要说明	无铅焊接
温升速率 ($T_L=217^\circ C$ 至峰值 T_p)	最大 3°C/s
$T_{smin}=150^\circ C$ 到 $T_{smax}=200^\circ C$ 预热时间 t_s	60~120 秒
温度保持 $217^\circ C$ 以上时间 t_L	60~150 秒
峰值温度 T_p	260°C
小于峰值温度 5°C 以内时间 t_p	最长 30 秒
降温速率 (峰值 T_p 至 $T_L=217^\circ C$)	最大 6°C/s
常温 $25^\circ C$ 到峰值温度 T_p 时间	最长 8 分钟

13. 卷带信息



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IS2092A	LGA16 4.65x5.2	A	16	3000	330	12.4	4.95	5.50	1.29	8.0	12.0	Q1

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.Chipanalog.com>